

09/857022

3 Rec'd PCT/PTO 31 MAY 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Tetsuya IKEDA, et al.

Application No.: New PCT Application

Filed: May 31, 2001

For: INTERLEAVE ADDRESS GENERATION APPARATUS AND
INTERLEAVE ADDRESS GENERATION METHOD

CLAIM FOR PRIORITY

Assistant Commissioner of Patents
Washington, D.C. 20231

Dear Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

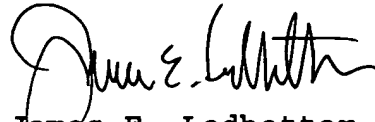
Japanese Appln. No. 11-286981, Filed: October 7, 1999.

The International Bureau received the priority document within the time limit, as evidenced by the attached copy of the PCT/IB/304.

THIS PAGE BLANK (USPTO)

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: May 31, 2001

JEL/ejw

Attorney Docket No. L9289.01144

STEVENS DAVIS, MILLER & MOSHER, L.L.P.
1615 L STREET, NW, Suite 850
P.O. Box 34387
WASHINGTON, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

THIS PAGE BLANK (USPTO)

PCT/JPCC/06974

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

06.10.00

JP00/6974

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年10月 7日

REC'D 28 NOV 2000

WIPO PCT

出 願 番 号
Application Number:

平成11年特許願第286981号

EW

出 願 人
Applicant (s):

松下電器産業株式会社

PRIORITY
DOCUMENT

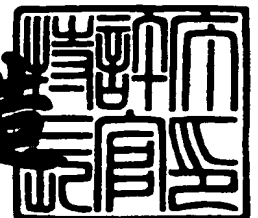
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Best Available Copy

2000年11月10日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3092532

【書類名】 特許願

【整理番号】 2906415089

【提出日】 平成11年10月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 13/22

【発明者】

【住所又は居所】 神奈川県横浜市港北区綱島東四丁目 3 番 1 号 松下通信
工業株式会社内

【氏名】 池田 徹哉

【発明者】

【住所又は居所】 神奈川県横浜市港北区綱島東四丁目 3 番 1 号 松下通信
工業株式会社内

【氏名】 山中 隆太郎

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105050

【弁理士】

【氏名又は名称】 鷲田 公一

【手数料の表示】

【予納台帳番号】 041243

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9700376

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 インターリーブアドレス生成装置及びインターリーブアドレス生成方法

【特許請求の範囲】

【請求項1】 行列2次元配列で表されるデータの並び替えを行うブロックインターリーブ方式における2次元配列の行番号と列番号を出力するカウンタ制御手段と、前記行番号のビット反転を行うビット反転手段と、前記ビット反転された行番号と前記列番号に対応したアドレス値を列変換値として出力する列変換手段と、前記ビット反転された行番号をビットシフトしてアドレスオフセット値として出力するシフトレジスタ手段と、前記アドレスオフセット値と前記列交換値とを加算する加算手段と、前記加算値をインターリーブサイズと比較し、インターリーブサイズ内の前記加算値をアドレス値として出力する大小比較手段と、を具備することを特徴とするインターリーブアドレス生成装置。

【請求項2】 ビット反転された行番号を一時記憶したのちシフトレジスタ手段へ出力する記憶セルアレイと、大小比較手段からのアドレス値を上位アドレスから順次記憶する第1記憶手段と、を具備することを特徴とする請求項1記載のインターリーブアドレス生成装置。

【請求項3】 ブロックインターリーブ方式は、ブロックサイズが行数Nで列数Mとすると、第1行目の1列目からN列目まで進んで、第N行の第M列まで初期値0から1ずつインクリメントした数値を配列した行列に対し、第1行目から順次N行目まで各行ごとに異なる列交換を行い、予め決められたランダムパターンによる行交換を行った行列に対して、第1列目の第1行目から各列を上から下に進んで第M列目の第N行目まで読み出すことにより順次得られる数値を読み出しアドレス信号とするインターリーブ方式であることを特徴とする請求項1又は請求項2記載のインターリーブアドレス生成装置。

【請求項4】 列交換手段は、ビット反転された行番号を記憶する第2記憶手段と、列番号を記憶する第3記憶手段と、前記記憶された行番号及び列番号の排他的論理和演算を行う排他的論理和演算手段と、前記排他的論理和演算結果をアドレス値として記憶する第4記憶手段とを具備することを特徴とする請求項1

から請求項3いずれかに記載のインターリーブアドレス生成装置。

【請求項5】 情報系列の畳込み符号化を行う再帰的畳込み符号手段と、前記情報系列のインターリーブ処理を行う請求項1から請求項4いずれかに記載のインターリーブアドレス生成装置を有するインターリーブと、を具備することを特徴とするターボ符号化装置。

【請求項6】 符号系列を復号する軟出力復号手段と、この軟出力復号手段の出力をインターリーブ処理する請求項1から請求項4いずれかに記載のインターリーブアドレス生成装置を有するインターリーブと、このインターリーブによって入力データの順序を攪拌された符号系列を復号する軟出力復号手段と、この軟出力復号手段の出力をデインターリーブ処理する前記インターリーブアドレス生成装置を有するデインターリーブとを具備することを特徴とするターボ復号化装置。

【請求項7】 復調された受信信号を復号化する請求項6記載のターボ復号化装置を有する復号化処理装置と、送信信号を符号化する請求項5記載のターボ符号化装置を有する符号化処理装置と、を具備することを特徴とする移動局装置。

【請求項8】 復調された受信信号を復号化する請求項6記載のターボ復号化装置を有する復号化処理装置と、送信信号を符号化する請求項5記載のターボ符号化装置を有する符号化処理装置と、を具備することを特徴とする基地局装置。

【請求項9】 請求項7記載の移動局装置又は請求項8記載の基地局装置を具備することを特徴とする移動体通信システム。

【請求項10】 行列2次元配列で表されるデータの並び替えを行うブロックインターリーブ方式における2次元配列の行番号と列番号をカウント出力し、前記行番号の反転を行い、この反転された行番号と前記列番号に対応したアドレス値を列変換値とし、前記反転された行番号をシフトしてアドレスオフセット値とし、このアドレスオフセット値と前記列交換値とを加算し、この加算値をインターリーブサイズと比較し、インターリーブサイズ内の前記加算値をアドレス値として生成するインターリーブアドレス生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、通信路において特定の部分に連続して発生するバースト誤りを、データの並べ替えにより誤りを訂正しやすい形にするためのものであり、移動体通信システムにおける移動局装置又は基地局装置に用いて好適なインターリーブアドレス生成装置及びインターリーブアドレス生成方法に関する。

【0002】

【従来の技術】

従来、この種のインターリーブアドレス生成装置及びインターリーブアドレス生成方法としては、特開平7-212250号公報に記載されているものがある。

【0003】

現在、第三世代通信システムの世界標準化の動きが進められている中、インターリーブに関する標準化案についても様々提案されており、GFインターリーブも現在検討されているインターリーブ方法の一つである。

【0004】

このGFインターリーブは、行数 $N=2^r$ 、列数 $M=2^c$ で表されるブロックインターリーブに対して、第1行目の1列目から n 列目まで進んで第 N 行の第 M 列まで入力ビット系列を順次配置した行列に対し、第1行目から順次 N 行目まで各行ごとに区切られた長さ M のビット系列に対して異なる順序でビット入れ替え（以後、列交換と呼ぶ）を行い、さらにビット反転法による順序で行交換を行った行列に対して、第1列目の第1行目から各列を上から下に進んで第 M 列目の第 N 行目まで読み出すことにより、入力ビット系列のインターリーブをする方式である。

【0005】

上記のブロックサイズの行列2次元配列において、下式（1）にしたがって構成された各行ごとの列変換パターン $\pi_i(j)$ を求めるための列変換装置を図8に示し、その説明を行う。

【0006】

図8は、従来のGFインターリーブの列交換装置の構成を示すブロック図である。

【0007】

【数1】

$$\pi_i(j) = \begin{cases} \log_{\alpha}(\alpha^b + \alpha^j) & \text{for } j=0,1,\dots,M-2 \\ \log_{\alpha}(\alpha^b) & \text{for } j=M-1 \end{cases} \quad (1)$$

ここで、行番号を i ($0 \leq i < N$)、列番号を j ($0 \leq j < M$)とすると、第 i 行目の列変換は以下に示す動作により求まる。式(1)の α^{i0} に対して、行ごとに異なるパラメタ i_0 を代入した値を、ベクトル表現に変換し順次記憶させたメモリ801と α^j ($0 \leq j < M$)の値を記憶したメモリ802を持ち、行番号 i と列番号 j によってメモリ801と802から読み出された出力値に対して排他的論理和演算器803で排他的論理和を計算し、排他的論理和演算器803からの出力値 β が指すメモリ804に対するアドレスには、 $\log_{\alpha} \beta$ を記憶させておき、メモリ801のアドレス値 i を固定させ、メモリ802のアドレスカ値 j を0からインクリメントさせることで、第 i 行目に対する列変換パターン $\pi_i(j)$ が生成される。

【0008】

【発明が解決しようとする課題】

しかしながら、従来の装置においては、列交換を発生させる装置は単に、各行方向に対する列交換の操作だけであり、メモリの上位アドレスから順次記憶させた入力ビット系列に対する読み出しアドレス信号まで生成していないという問題がある。

【0009】

本発明はかかる点に鑑みてなされたものであり、誤り訂正符号に対して誤り訂正能力を上げるGFインターリーブを実現することができるインターリーブアドレス生成装置及びインターリーブアドレス生成方法を提供することを目的とする

【0010】

【課題を解決するための手段】

本発明のインターリーブアドレス生成装置は、行列2次元配列で表されるデータの並び替えを行うブロックインターリーブ方式における2次元配列の行番号と列番号を出力するカウンタ制御手段と、前記行番号のビット反転を行うビット反転手段と、前記ビット反転された行番号と前記列番号に対応したアドレス値を列変換値として出力する列変換手段と、前記ビット反転された行番号をビットシフトしてアドレスオフセット値として出力するシフトレジスタ手段と、前記アドレスオフセット値と前記列交換値とを加算する加算手段と、前記加算値をインターリーブサイズと比較し、インターリーブサイズ内の前記加算値をアドレス値として出力する大小比較手段と、を具備する構成を採る。

【0011】

この構成によれば、高速処理が可能で、かつメモリ量を削減したインターリーブアドレス生成装置を得ることができる。

【0012】

本発明のインターリーブアドレス生成装置は、上記構成において、ビット反転された行番号を一時記憶したのちシフトレジスタ手段へ出力する記憶セルアレイと、大小比較手段からのアドレス値を上位アドレスから順次記憶する第1記憶手段と、を具備する構成を採る。

【0013】

この構成によれば、高速処理が可能で、かつメモリ量を削減したインターリーブアドレス生成装置を得ることができる。

【0014】

本発明のインターリーブアドレス生成装置は、上記構成において、ブロックインターリーブ方式は、ブロックサイズが行数Nで列数Mとすると、第1行目の1列目からN列目まで進んで、第N行の第M列まで初期値0から1ずつインクリメントした数値を配列した行列に対し、第1行目から順次N行目まで各行ごとに異なる列交換を行い、予め決められたランダムパターンによる行交換を行った行列

に対して、第1列目の第1行目から各列を上から下に進んで第M列目の第N行目まで読み出すことにより順次得られる数値を読み出しアドレス信号とするインターリーブ方式である構成を採る。

【0015】

この構成によれば、GFインターリーブを実現するインターリーブアドレス生成装置を得ることができる。

【0016】

本発明のインターリーブアドレス生成装置は、上記構成において、列交換手段は、ビット反転された行番号を記憶する第2記憶手段と、列番号を記憶する第3記憶手段と、前記記憶された行番号及び列番号の排他的論理和演算を行う排他的論理和演算手段と、前記排他的論理和演算結果をアドレス値として記憶する第4記憶手段とを具備する構成を採る。

【0017】

この構成によれば、GFインターリーブを実現するインターリーブアドレス生成装置を得ることができる。

【0018】

本発明のターボ符号化装置は、情報系列の畳込み符号化を行う再帰的畳込み符号手段と、前記情報系列のインターリーブ処理を行う上記何れかの構成と同様のインターリーブアドレス生成装置を有するインターリーブと、を具備する構成を採る。

【0019】

この構成によれば、インターリーブにおいて高速処理で、かつメモリ量を削減したターボ符号化装置を得ることができ、さらに、受信側での符号系列の復号に対して、誤り訂正能力を上げることができる。

【0020】

本発明のターボ復号化装置は、符号系列を復号する軟出力復号手段と、この軟出力復号手段の出力をインターリーブ処理する上記何れかの構成と同様のインターリーブアドレス生成装置を有するインターリーブと、このインターリーブによって入力データの順序を攪拌された符号系列を復号する軟出力復号手段と、この軟

出力復号手段の出力をデインターリーブ処理する前記インターリーブアドレス生成装置を有するデインターリーバとを具備する構成を採る。

【0021】

この構成によれば、インターリーバにおいて高速処理で、かつメモリ量を削減したターボ復号化装置を得ることができ、さらに誤り訂正能力を上げることができる。

【0022】

本発明の移動局装置は、復調された受信信号を復号化する上記構成のターボ復号化装置を有する復号化処理装置と、送信信号を符号化する上記構成のターボ符号化装置を有する符号化処理装置と、を具備する構成を採る。

【0023】

この構成によれば、非音声通信に対して、より低いビット誤り率（以下、これをBERと呼ぶ）の高伝送品質の通信特性となる移動局装置を得ることができ、また、ターボ符号化装置とターボ復号化装置において、高速処理で、メモリ量を削減したインターリーバを含んでいるため、高速処理が可能で、メモリ量を削減した符号化処理装置と復号化処理装置が実現できる。

【0024】

本発明の基地局装置は、復調された受信信号を復号化する上記構成のターボ復号化装置を有する復号化処理装置と、送信信号を符号化する上記構成のターボ符号化装置を有する符号化処理装置と、を具備する構成を採る。

【0025】

この構成によれば、非音声通信に対して、より低いBERの高伝送品質の通信特性となる基地局装置を得ることができる。また、ターボ符号化装置とターボ復号化装置において、高速処理でメモリ量を削減したインターリーバを含んでいるため、高速処理が可能で、メモリ量を削減した符号化処理装置と復号化処理装置が実現できる。

【0026】

本発明の移動体通信システムは、上記構成の移動局装置又は基地局装置を具備する構成を採る。

【0027】

この構成によれば、移動体通信システムにおいて、上記何れかの構成と同様の作用効果を得ることができる。

【0028】

本発明のインターリーブアドレス生成方法は、行列2次元配列で表されるデータの並び替えを行うブロックインターリーブ方式における2次元配列の行番号と列番号をカウント出力し、前記行番号の反転を行い、この反転された行番号と前記列番号に対応したアドレス値を列変換値とし、前記反転された行番号をシフトしてアドレスオフセット値とし、このアドレスオフセット値と前記列交換値とを加算し、この加算値をインターリーブサイズと比較し、インターリーブサイズ内の前記加算値をアドレス値として生成するようにした。

【0029】

この方法によれば、高速処理が可能で、かつメモリ量を削減したインターリーブアドレス生成装置を得ることができる。

【0030】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0031】

（実施の形態1）

図1は、本発明の実施の形態1に係るインターリーブアドレス生成装置の構成を示すブロック図である。

【0032】

図1に示すインターリーブアドレス生成装置100は、カウンタ制御部101と、ビット反転装置102と、列変換装置103と、シフトレジスタ104と、加算器105と、大小比較装置106とを備えて構成されており、列変換装置103は、メモリ110、111及び113と、排他的論理和演算器112とを備えて構成されている。

【0033】

また、このインターリーブアドレス生成装置100に、他の構成要素を追加し

て構成したインターリーブアドレス生成装置を図 2 に示す。この図 2 に示すインターリーブアドレス生成装置 200 は、図 1 に示した他に、記憶セルアレイ 201 及びメモリ 202 を備えて構成されている。

【0034】

これら図 1 と図 2 に示すカウンタ制御部 101 は、行列 2 次元配列で表されるデータの並び替えを行うブロックインターリーブ方式において、2 次元配列の行番号 i と列番号 j を出力するものである。

【0035】

ビット反転装置 102 は、カウンタ制御部 101 から出力された行番号 i を入力としてビット反転を行うものである。

【0036】

列変換装置 103 は、ビット反転装置 102 からの出力 i とカウンタ制御部 101 から出力された列番号 j を入力として列変換値を出力するものであり、各行に異なる i_0 を α^{i_0} に代入した値をメモリ 110 に記憶し、 α^j ($0 \leq j < M$) の値をメモリ 111 に記憶し、これらメモリ 110、111 から読み出され出力値に対して排他的論理和演算器 112 で排他的論理和を計算し、この計算値に対応した列交換パターンをメモリ 113 に記憶するように構成されている。

【0037】

記憶セルアレイ 201 は、ビット反転装置 102 の出力値を入力としてその出力値を一時記憶させておくものである。

【0038】

シフトレジスタ 104 は、図 1 の場合、ビット反転装置 102 からの出力値をビットシフトさせ、これをアドレスオフセット値として出力するものであり、図 2 の場合、記憶セルアレイ 201 からの出力値をビットシフトさせ、これをアドレスオフセット値として出力するものである。

【0039】

加算器 105 は、シフトレジスタ 104 からの出力と列変換装置 103 からの出力を加算するものである。

【0040】

大小比較装置 106 は、加算器 105 からの出力値をインターリーブサイズと比較し、インターリーブサイズ内のデータをアドレス値として出力するものである。

【0041】

メモリ 202 は、大小比較装置 106 からのアドレス値を上位アドレスから順次記憶するものである。

【0042】

このように、大小比較装置 106 からの出力値が入力データを記憶したメモリ 202 に対する読み出しアドレス値となり、生成されたアドレス値にしたがってメモリ 202 からデータを順次読み出してやれば入力データの順序を攪拌することができるようになっている。

【0043】

このような構成の実施の形態 1 のインターリーブアドレス生成装置 100 及び 200 の動作を図 3 を参照して説明する。但し、図 2 に示すインターリーブアドレス生成装置 200 の動作を代表して説明する。

【0044】

以下の説明では、インターリーブサイズ $L=30$ 、 $N (=2^r) \times M (=2^c)$ ブロックサイズで $r=2$ 、 $C=3$ 、ガロア体 $GF(2^3)$ で表される次数 3 の原始多項式を x^3+x+1 としてその原始多項式の根を α とした場合のについて考える。また、ガロア体 $GF(2^3)$ 上のすべての元は、すべて α のべき乗で表現できる。

【0045】

図 3 には列変換装置 103 の動作順序を示している。図 3 (a) 及び (b) に示すように、メモリ 110 には、行番号 i に対応するパラメタ i_0 を α^{i_0} に代入した値が、ベクトル表現に変換された 3 ビットのデータを順次記憶させ、メモリ 111 には、 α^j に列番号 j ($0 \leq j < 2^3$) を代入した値を順次記憶させておく。

【0046】

そして、行番号 i と列番号 j に応じてメモリ 110 と 111 から読み出された出力値に対して排他的論理和演算器 112 で排他的論理和を計算し、この計算による排他的論理和演算器 112 からの出力値 β が指すメモリ 113 のアドレスに

は、 $\log_{\alpha} \beta$ を記憶しておく。

【0047】

このようにデータを記憶したメモリ 110, 111, 113 におけるアドレス生成の動作を説明する。

【0048】

カウンタ制御部 101 から出力される行番号 i ($0 \leq i < 2^2$) を、ビット反転装置 102 でビット反転することによって出力された値 i' を、メモリ 110 に対する読み出しアドレス値とし、同様に、カウンタ制御部 101 から出力される列番号 j ($0 \leq j < 2^3$) をメモリ 111 に対する読み出しアドレス値とする。

【0049】

図 3 (c) に示すように、カウンタ制御部 101 によってその値が制御される前記の列番号 i と行番号 j は、ともに 0 から始まり、 i を 1 ずつインクリメントさせ、 i が 3 となりオーバーフローを起こすたびに、 j が 1 ずつインクリメントされる。

【0050】

i がリセットされるように制御されると、 $2^2 \times 2^3$ の行列 2 次元配列に対して列方向に順次アドレスが計算される効果があり、さらにメモリ 110 に対する読み出しアドレス値として、ビット反転装置 102 からの出力 i' を用いるために、前記の行列 2 次元配列において行交換も同時行うように動作することができる。

【0051】

そして、前記の読み出し方で動作するカウンタ制御部 101 に従って、メモリ 110 と 111 から読み出したデータを排他的論理和演算器 112 に入力して、排他的論理和演算を行うと、排他的論理和演算器 112 からの出力は、メモリ 113 に対する読み出しアドレス値となり、メモリ 113 から出力されるデータは、第 i' 行目の第 j 列目に関する列交換データとなる。

【0052】

次に、メモリ 113 から出力された第 i' 行目のデータに対するアドレスオフセット値の算出動作を図 3 (d) を参照して説明する。

【0053】

ビット反転装置102からの出力値*i'*に対して、列変換装置103からの出力とシフトレジスタ104から出力のタイミングを合わせるために、2段で構成されている記憶セルアレイ201を、ビット反転装置102とシフトレジスタ104との間に備える。

【0054】

これにより、ビット反転装置102からの出力は、記憶セルアレイ201に一時保持し、加算器105での加算タイミングに合わせてデータが順次出力され、記憶セルアレイ201からの出力をシフトレジスタ104に入力して、3ビットシフトした値が、第*i'*行目に対するアドレスオフセット値として出力される。

【0055】

そして、同じタイミングで加算器105に入力されてきた列変換装置103からの出力と、シフトレジスタ104から出力されるアドレスオフセット値を、加算器105で加算し、この加算値を大小比較装置106に入力する。

【0056】

大小比較装置106で、図3(e)に示すように、インターリーブサイズ（例えば30）と比較して、インターリーブサイズ内のデータであれば、図3(f)に示すアドレス値として出力する。これによって、前記の $2^2 \times 2^3$ のGFインターリーブ方式によるブロックインターリーブのアドレス値を生成することができる。

【0057】

このように、実施の形態1のインターリーブアドレス生成装置100又は200によれば、大小比較装置106から生成されたアドレス値に従いメモリ202に記憶された入力データを順次出力することで、データ数30、ブロックサイズ $2^2 \times 2^3$ に対するGFインターリーブ方式でのインターリーブを得ることができる。

【0058】

また、ビット反転装置102を置くことで、予め行方向の入れ替え順序を記憶させておくメモリを省くことができ、これによってメモリ量の削減が可能となる。

【 0 0 5 9 】

さらに、ビット反転装置 1 0 2 の出力からシフトレジスタ 1 0 4 の出力までの処理と、ビット反転装置 1 0 2 からの出力と列変換装置 1 0 3 からの出力までの処理を、並列動作とすることで高速処理を行うことができる。

【 0 0 6 0 】

なお、上記説明では、データ数 3 0、ブロックサイズを $2^2 \times 2^3$ としたが、任意のデータ数 L に対する $N(2^r) \times M(2^c)$ のブロックインターリーブに対しても、記憶させておくメモリデータの変更と、シフトレジスタ 1 0 4 のシフト数を c ビットにするだけで、同様に実施が可能である。

【 0 0 6 1 】

(実施の形態 2)

図 4 は、本発明の実施の形態 2 に係るターボ符号化装置の構成を示すブロック図である。

【 0 0 6 2 】

図 4 に示すターボ符号化装置 4 0 0 は、情報系列に対して畳込み符号の符号化を行う再帰的畳込み符号器 4 0 1 と、情報系列に対して実施の形態 1 のインターリーブアドレス生成装置 1 0 0 又は 2 0 0 を用いて処理を行うインターリーバ 4 0 2 と、インターリーバ 4 0 2 から出力された情報系列を入力として畳込み符号の符号化を行う再帰的畳込み符号器 4 0 3 とを備えて構成されている。

【 0 0 6 3 】

このような構成のターボ符号化装置 4 0 0 の動作を説明する。

【 0 0 6 4 】

符号化される情報系列は、情報系列自身の出力と、情報系列を入力として畳込み符号の符号化を行う再帰的畳込み符号器 4 0 1 からの出力と、情報系列を入力として再帰的畳込み符号器 4 0 3 に入力する前に一度メモリにデータを書き込みこれをインターリーバ 4 0 2 によりデータの順序を攪拌し、この攪拌されたデータを入力として畳込み符号の符号化を行う再帰的畳込み符号器 4 0 3 からの出力とあわせた 3 ビットが、情報系列 1 ビットに対する符号系列となる。

【0065】

このように、実施の形態2のターボ符号化装置400によれば、インターリーバ402に対してGFインターリーブ方式の実施の形態1のインターリーブアドレス生成装置100又は200を利用することによって、受信側での符号系列の復号に対して、誤り訂正能力を上げたターボ符号化装置400を実現することができる。

【0066】

また、インターリーバ402は、高速処理が可能でメモリ量を削減した実施の形態1のインターリーブアドレス生成装置100又は200を用いているため、高速処理が可能で、メモリ量を削減したターボ符号化装置400が実現することができる。

【0067】

(実施の形態3)

図5は、本発明の実施の形態3に係るターボ符号化装置の構成を示すブロック図である。

【0068】

図5に示すターボ符号化装置500は、符号系列を復号する軟出力復号器501と、軟出力復号器501からの出力を入力として実施の形態1のインターリーブアドレス生成装置100又は200を用いて処理を行うインターリーバ502と、インターリーバ502によって攪拌された符号系列を入力として復号する軟出力復号器503と、軟出力復号器503の出力を入力としてインターリーブアドレス生成装置100又は200を用いて処理を行うデインターリーバ504を備えて構成されている。

【0069】

このように構成されたターボ復号化装置500の動作を説明する。

【0070】

初回の動作では、図4に示した再帰的組織畳込み符号器401と元の情報系列に対応する符号化による符号系列は、軟出力復号器501に入力され、ここで軟出力が出力され、この軟出力がインターリーバ502に入力される。

【0071】

インターリーバ502では、データ系列の攪拌が行われ、この結果得られる値は、再帰的組織畳込み符号器403の出力に対応する符号系列と共に、軟出力復号器503に入力され、ここで軟出力が出力される。

【0072】

一方では軟出力復号器503からの軟出力を硬判定したものが復号出力結果として出力され、もう一方ではデインターリーバ504に入力され、ここでデータ順番の攪拌が行われた後、事前情報度として初回の動作以降では、軟出力復号器501に入力するように、軟出力復号器503の結果がフィードバックされることで繰り返し復号が行われる。

【0073】

このように、実施の形態3のターボ符号化装置500によれば、インターリーバ502とデインターリーバ504に対して実施の形態1のインターリーブアドレス生成装置100又は200を用いることによって、誤り訂正能力を上げたターボ復号器500を実現することができる。

【0074】

さらに、インターリーバ502は、高速処理が可能でメモリ量を削減したインターリーブアドレス生成装置100又は200を用いているため、高速処理が可能で、メモリ量を削減したターボ復号化装置500を実現することができる。

【0075】

(実施の形態4)

図6は、本発明の実施の形態4に係る移動局装置の構成を示すブロック図である。

【0076】

図6に示す移動局装置600は、アンテナ装置601と、受信装置602と、送信装置603と、復調装置604と、変調装置605と、復号化処理装置606と、符号化処理装置607と、音声コーデック装置608と、データ入出力装置609と、スピーカ610と、マイク611とを備えて構成されている。

【0077】

復号化处理装置 606 は、デインターリーブ装置 614、レートマッチング装置 615 及び誤り訂正復号化装置 616 を備え、符号化处理装置 607 は、誤り訂正符号化装置 617、レートマッチング装置 618 及びインターリーブ装置 619 とを備えて構成されている。

【0078】

アンテナ装置 601 は、信号の送信および受信を行い、受信装置 602 は、アンテナ装置 601 からの受信信号を受信処理し、送信装置 603 は、送信信号をアンテナ装置 601 へ送信するものである。

【0079】

復調装置 604 は、受信装置 602 からの受信信号を復調し、変調装置 605 は、符号化处理装置 607 からの送信信号を変調するものである。

【0080】

復号化处理装置 606 は、復調装置 604 で復調された受信信号を復号化するものであり、デインターリーブ装置 614 によって送信側で攪拌されたデータを元に戻し、レートマッチング装置 615 で、データの長さを誤り訂正できる形に変換し、誤り訂正復号化装置 616 で、誤り訂正を行うように構成されている。

【0081】

符号化处理装置 607 は、送信信号を符号化するものであり、誤り訂正符号化装置 617 で、送信データを符号化し、レートマッチング装置 618 で、データの長さをインターリーブできる形に変換し、インターリーブ装置 619 で、送信信号のデータを攪拌するように構成されている。

【0082】

音声コーデック装置 608 は、音声データを符号化し、データ入出力装置 609 は、外部とのデータをやり取りし、スピーカ 610 は発音、マイク 611 は音声入力を行うものである。

【0083】

また、誤り訂正符号化装置 617 と誤り訂正復号化装置 616 において、非音声データに対して実施の形態 1 のインターリーブアドレス生成装置 100 又は 2

0 0、或いは実施の形態 2 のターボ符号化装置 4 0 0 又は実施の形態 3 のターボ復号化装置 5 0 0 が用いられる。

【0 0 8 4】

このような構成の移動局装置 6 0 0 の送信時の動作について説明する。

【0 0 8 5】

音声送信時は、マイク 6 1 1 から入力される音声信号が A D 変換され、音声コーデック装置 6 0 8 で符号化され、その符号化データが誤り訂正符号化装置 6 1 7 に入力され、ここでデータを畳込み符号化される。

【0 0 8 6】

非音声データの送信時は、データ入出力装置 6 0 9 を介して入力されるデータが、誤り訂正符号化装置 6 1 7 に入力され、ここでデータの転送速度に応じてターボ符号化される。

【0 0 8 7】

誤り訂正符号化装置 6 1 7 からの出力は、データの長さを整えるレートマッチング装置 6 1 8 を介してインターリーブ装置 6 1 9 に入力され、ここでデータの並びが攪拌されて、変調装置 6 0 5 へ出力される。

【0 0 8 8】

変調装置 6 0 5 でデジタル変調されたデータは、D A 変換されて送信装置 6 0 3 へ出力される。送信装置 6 0 3 では、無線信号に変換され、アンテナ装置 6 0 1 から送り電波として送信される。

【0 0 8 9】

次に受信時の動作について説明する。アンテナ装置 6 0 1 で受信された電波は、受信装置 6 0 2 で受信され、ここで A D 変換されて、復調装置 6 0 4 に出力される。

【0 0 9 0】

復調装置 6 0 4 で復調されたデータは、デインターリーブ装置 6 1 4 に入力され、ここでデータの並びが攪拌され、レートマッチング装置 6 1 5 で、データの長さが誤り訂正できる形に直されて誤り訂正復号化装置 6 1 6 へ出力される。

【0 0 9 1】

受信データが音声信号の場合、誤り訂正復号化装置 616 に入力されたデータは、ビタビ復号され、さらに音声コーデック装置 608 で音声復号化され、DA 変換されてスピーカ 610 から音声として出力される。

【0092】

一方、非音声信号の時、誤り訂正復号化装置 616 において、データの転送速度によりターボ符号化され、データ入出力装置 609 を介して外部へ出力される。

【0093】

このように、実施の形態 4 の移動局装置 600 によれば、非音声データに関しては、誤り訂正符号化装置 617 及び誤り訂正復号化装置 616 に、それぞれ、実施の形態 1 のインターリーブアドレス生成装置 100 又は 200 を用いたターボ符号化装置 400 とターボ復号化装置 500 を用いることにより、非音声通信に対して、より低い BER の高伝送品質の通信特性を得ることができる。

【0094】

また、ターボ符号及び復号に含まれるインターリーブの構成は高速処理が可能で、メモリ量を削減したインターリーブアドレス生成装置 100 又は 200 によって構成されているため、インターリーブを高速処理で、且つメモリ量を削減した移動局装置 600 を得ることができる。

【0095】

なお、変調装置 605 に拡散装置 613 を、復調装置 604 に逆拡散装置 612 を備えることで CDMA 通信に適用することができる。

【0096】

(実施の形態 5)

図 7 は、本発明の実施の形態 5 に係る基地局装置の構成を示すブロック図である。

【0097】

図 7 に示す基地局装置 700 は、アンテナ装置 701 と、受信装置 702 と、送信装置 703 と、復調装置 704 と、変調装置 705 と、復号化処理装置 706 と、符号化処理装置 707 と、データ入出力装置 708 とを備えて構成され、

復号化処理装置 706 は、デインターリーブ装置 709、レートマッチング装置 710 及び誤り訂正復号化装置 711 を備え、符号化処理装置 707 は、誤り訂正符号化装置 712、レートマッチング装置 713 及びインターリーブ装置 714 とを備えて構成されている。

【0098】

アンテナ装置 701 は、信号の送信および受信を行い、受信装置 702 は、アンテナ装置 701 からの受信信号を受信し、送信装置 703 は、送信信号をアンテナ装置 701 へ送信し、復調装置 704 は、受信信号を復調し、変調装置 705 は、送信信号を変調するものである。

【0099】

復号化処理装置 706 は、復調された受信信号を復号化するものであり、デインターリーブ装置 709 において送信側で攪拌されたデータを元に戻し、レートマッチング装置 710 でデータの長さを誤り訂正できる形に変換し、誤り訂正復号化装置 711 で誤り訂正を行うように構成されている。

【0100】

データ入出力装置 708 は、データの入出力を行い、符号化処理装置 707 は、送信信号を符号化するものであり、誤り訂正符号化装置 712 で送信データを符号化し、レートマッチング装置 713 でデータの長さをインターリーブできる形に変換し、インターリーブ装置 714 で送信信号のデータに順番を攪拌するように構成されている。

【0101】

また、復号化処理装置 706 と符号化処理装置 707 に、実施の形態 1 のインターリーブアドレス生成装置 100 又は 200、或いは実施の形態 2 のターボ符号化装置 400 及び実施の形態 3 のターボ復号化装置 500 が用いられている。

【0102】

このように構成された基地局装置 700 の送信時の動作を説明する。

【0103】

データ送信時には、外部とのデータ入出力装置 708 からのデータが、誤り訂正符号化装置 712 に入力され、この入力されたデータがデータの種類に応じて

ターボ符号化され、レートマッチング装置 713 で、データの長さが整えられる。

【0104】

インターリーブ装置 714 では、データの並びが攪拌され、これが変調装置 705 でデジタル変調され、このデータが DA 変換された後、送信装置 703 で無線信号に変換されてアンテナ装置 701 から送り電波として送信される。

【0105】

次に受信時の動作について説明する。アンテナ装置 701 で受信された電波が、受信装置 702 で受信処理されたのち AD 変換され、復調装置 704 で復調された後、デインターリーブ装置 709 に入力され、ここで、データの並びが攪拌され、レートマッチング装置 710 でデータの長さが誤り訂正できる形に直され、誤り訂正復号化装置 711 で、データの種類に応じてターボ復号化された後、データ入出力装置 708 を介して外部へ出力される。

【0106】

このように、実施の形態 5 の基地局装置 700 によれば、誤り訂正符号化装置 712 に実施の形態 2 のターボ符号化装置 400 を、また、誤り訂正復号化装置 711 に実施の形態 3 のターボ復号化装置 500 を用いることにより、非音声通信に対して、より低い BER の高伝送品質の通信特性となる基地局装置 700 を得ることができる。

【0107】

また、ターボ符号及び復号に含まれるインターリーブの構成は高速処理が可能で、メモリ量を削減した実施の形態 1 のインターリーブアドレス生成装置 100 又は 200 によって構成されているため、インターリーブを高速処理で、かつメモリ量を削減した基地局装置 700 を得ることができる。

【0108】

なお、変調装置 705 に拡散装置 716 を、復調装置 704 に逆拡散装置 715 を備えることで CDMA 通信に適用することができる。

【0109】

【発明の効果】

以上説明したように、本発明によれば、誤り訂正符号に対して誤り訂正能力を上げる G F インターリーブを実現することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係るインターリーブアドレス生成装置の構成を示すブロック図

【図 2】

本発明の実施の形態 1 に係る他のインターリーブアドレス生成装置の構成を示すブロック図

【図 3】

実施の形態 1 における G F インターリーブの動作を示す模式図

【図 4】

本発明の実施の形態 2 におけるターボ符号化装置の構成を示すブロック図

【図 5】

本発明の実施の形態 3 におけるターボ符号化装置の構成を示すブロック図

【図 6】

本発明の実施の形態 4 における移動局装置の構成を示すブロック図

【図 7】

本発明の実施の形態 5 における基地局装置の構成を示すブロック図

【図 8】

従来の G F インターリーブの列交換装置の構成を示すブロック図

【符号の説明】

1 0 0, 2 0 0 インターリーブアドレス生成装置

1 0 1 カウンタ制御部

1 0 2 ビット反転装置

1 0 3 列交換装置

1 0 4 シフトレジスタ

1 0 5 加算器

1 0 6 大小比較装置

110, 111, 113, 202 メモリ
 112 排他的論理和演算器
 201 記憶セルアレイ
 400 ターボ符号化装置
 401, 403 再帰的組織畳込み符号器
 402, 502 インターリーバ
 500 ターボ復号化装置
 501 軟出力復号器
 503 軟出力復号器
 504 デインターリーバ
 600 移動局装置
 601, 701 アンテナ装置
 602, 702 受信装置
 603, 703 送信装置
 604, 704 復調装置
 605, 705 変調装置
 606, 706 復号化处理装置
 607, 707 符号化处理装置
 608 音声コーデック部
 609, 708 データ入出力装置
 610 スピーカ
 611 マイク
 614, 709 デインターリーブ装置
 615, 710 レートマッチング装置
 616, 711 誤り訂正復号化装置
 617, 712 誤り訂正符号化装置
 618, 713 レートマッチング装置
 619, 714 インターリーブ装置
 612, 715 逆拡散装置

特平 1 1 - 2 8 6 9 8 1

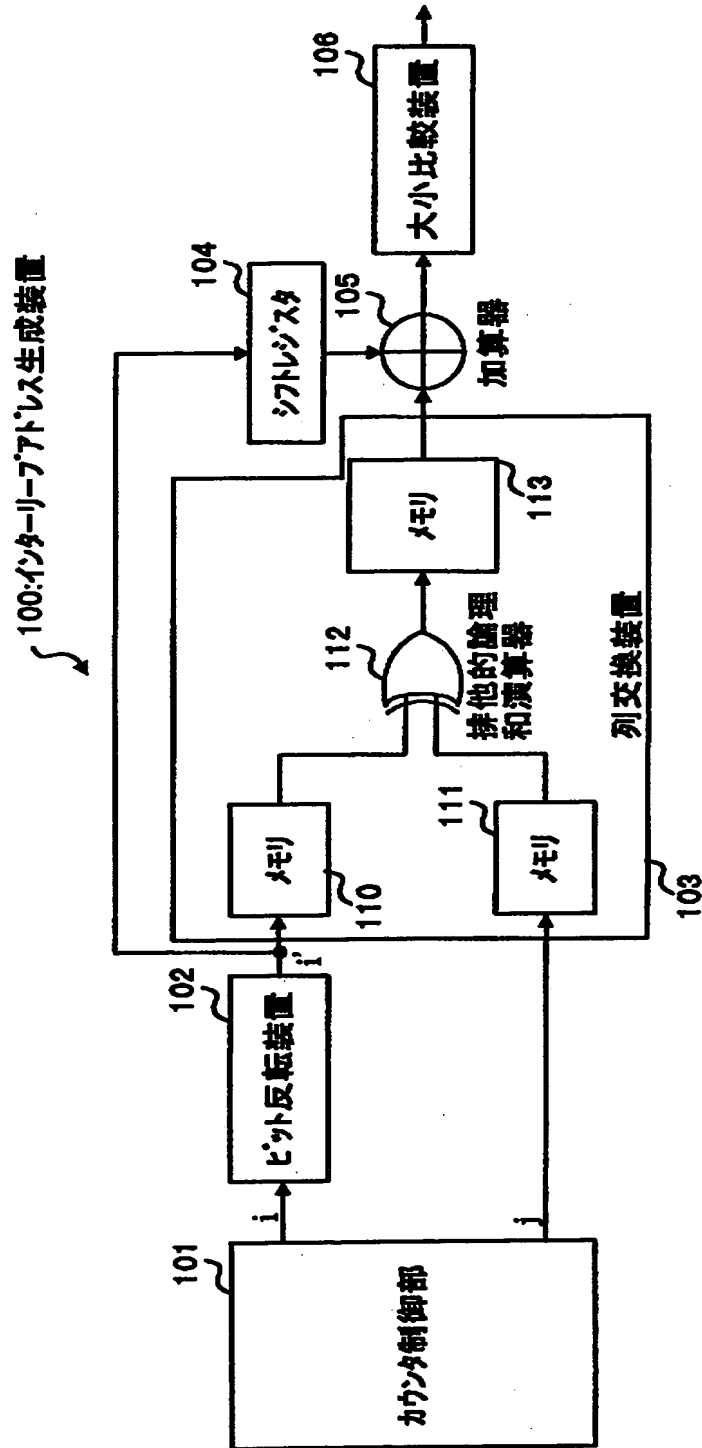
6 1 3, 7 1 6 拡散装置

7 0 0 基地局装置

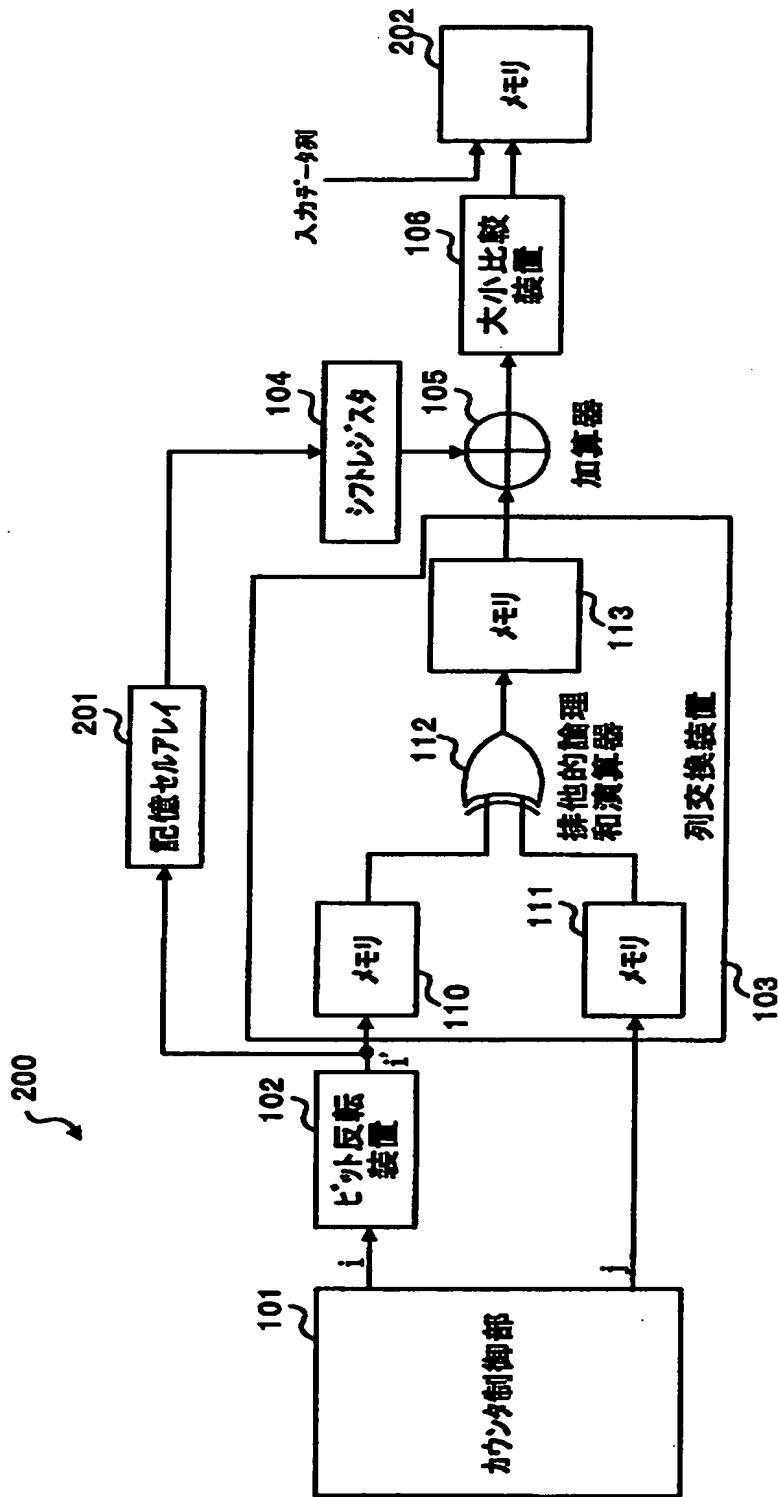
【書類名】

図面

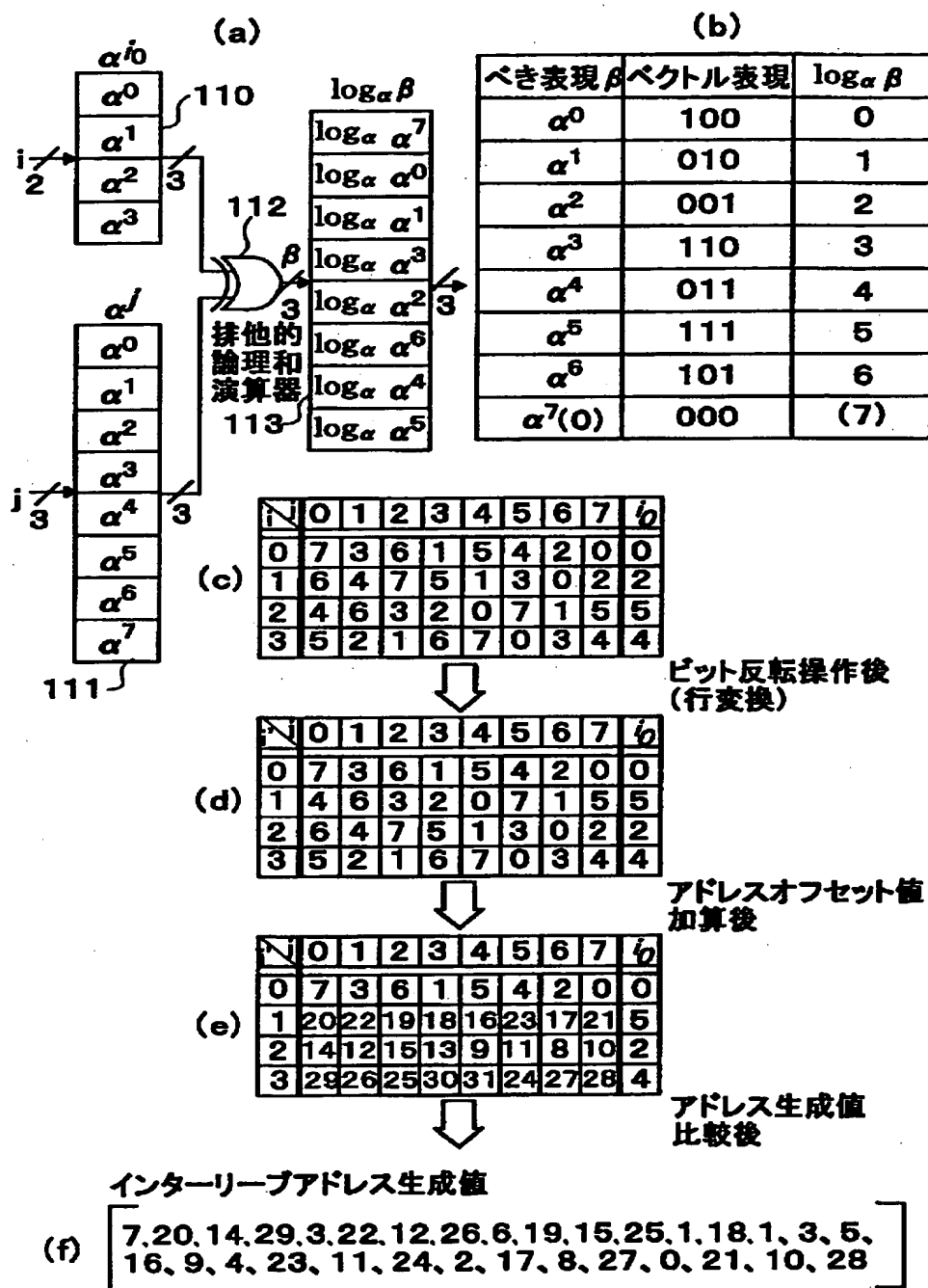
【図 1】



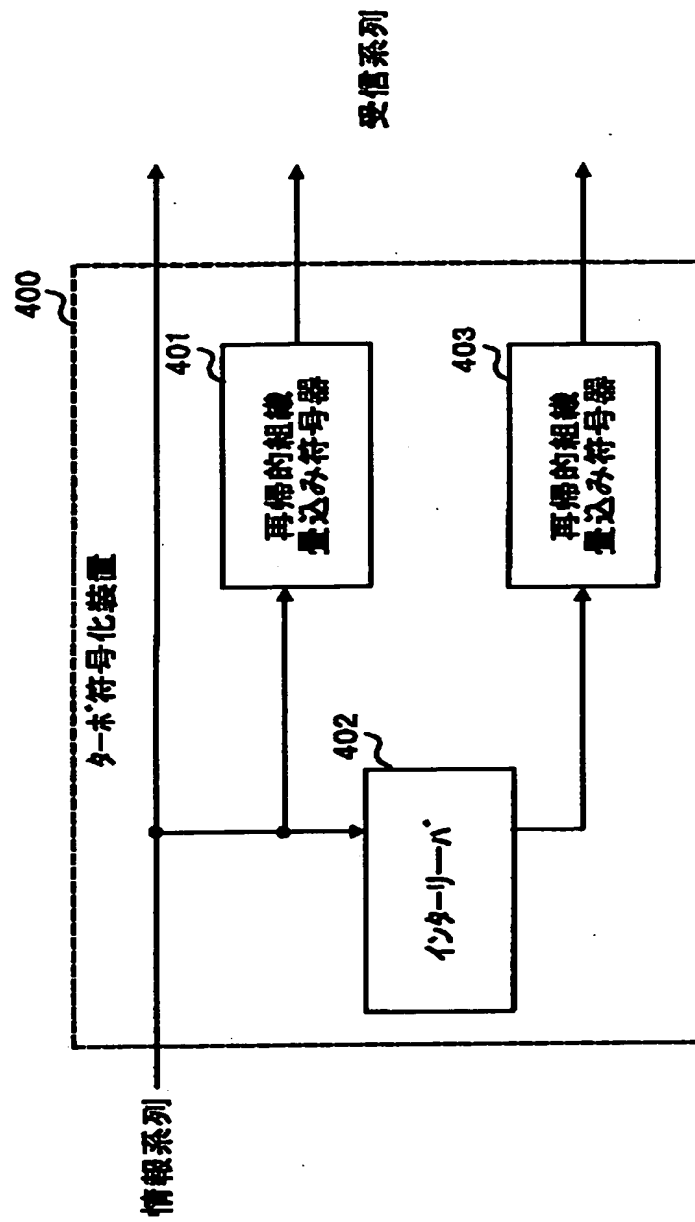
【図 2】



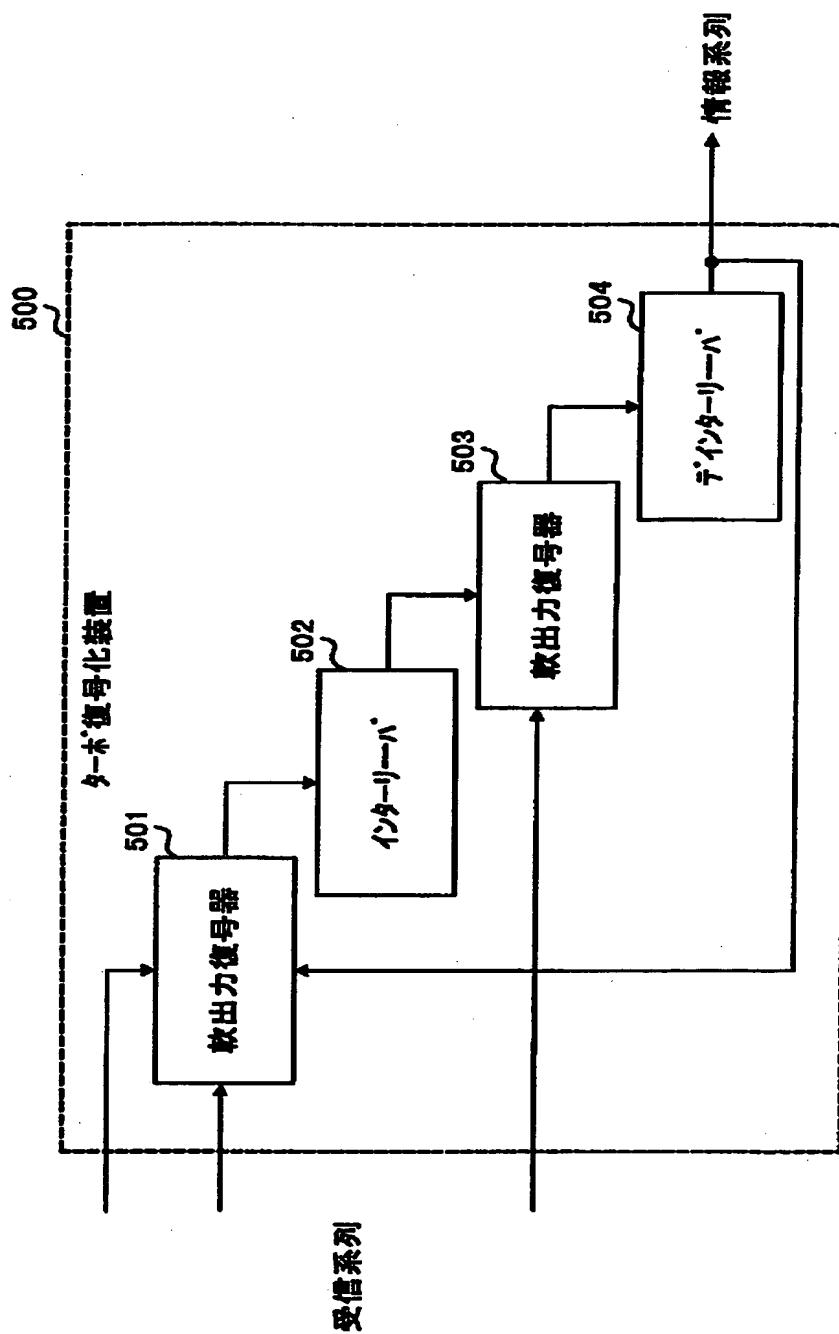
【図 3】



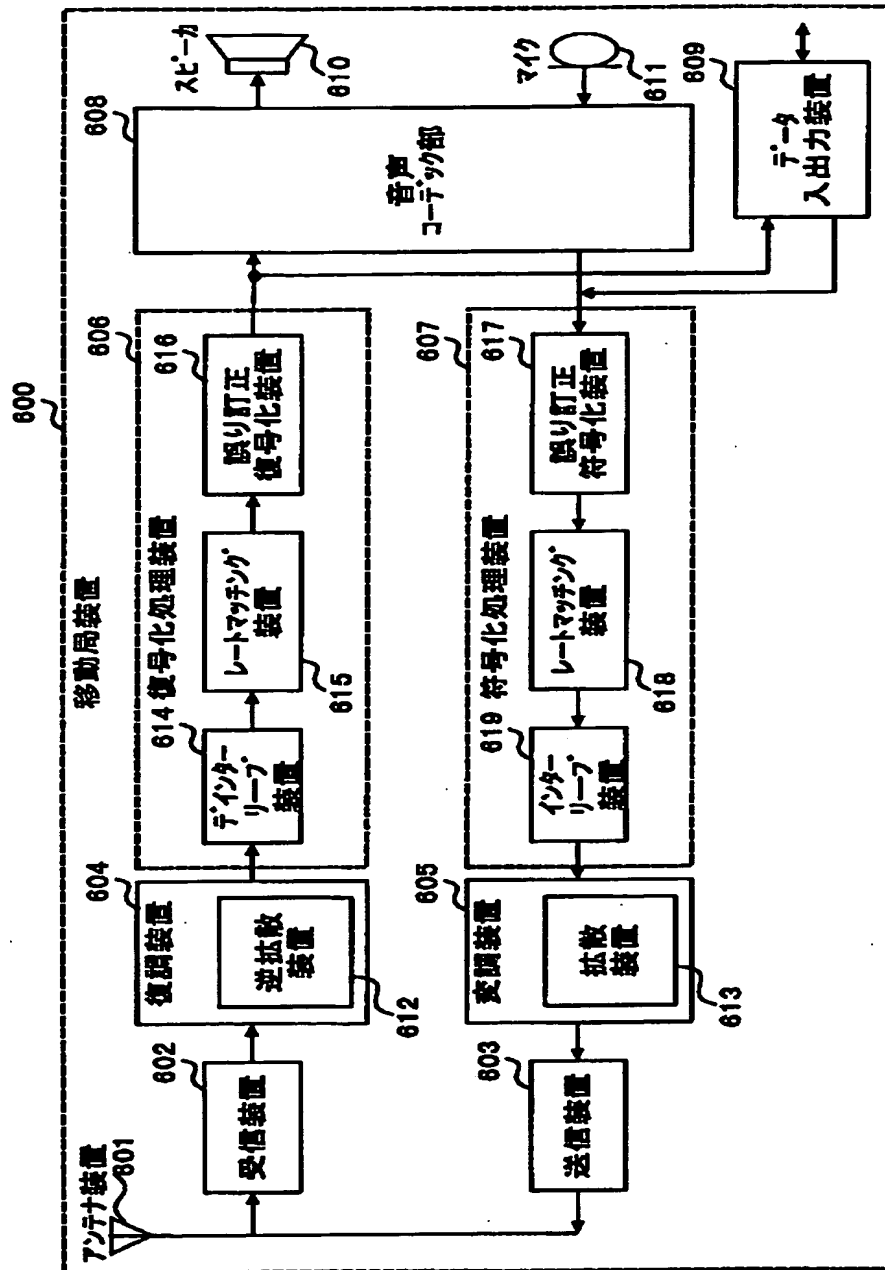
【図 4】



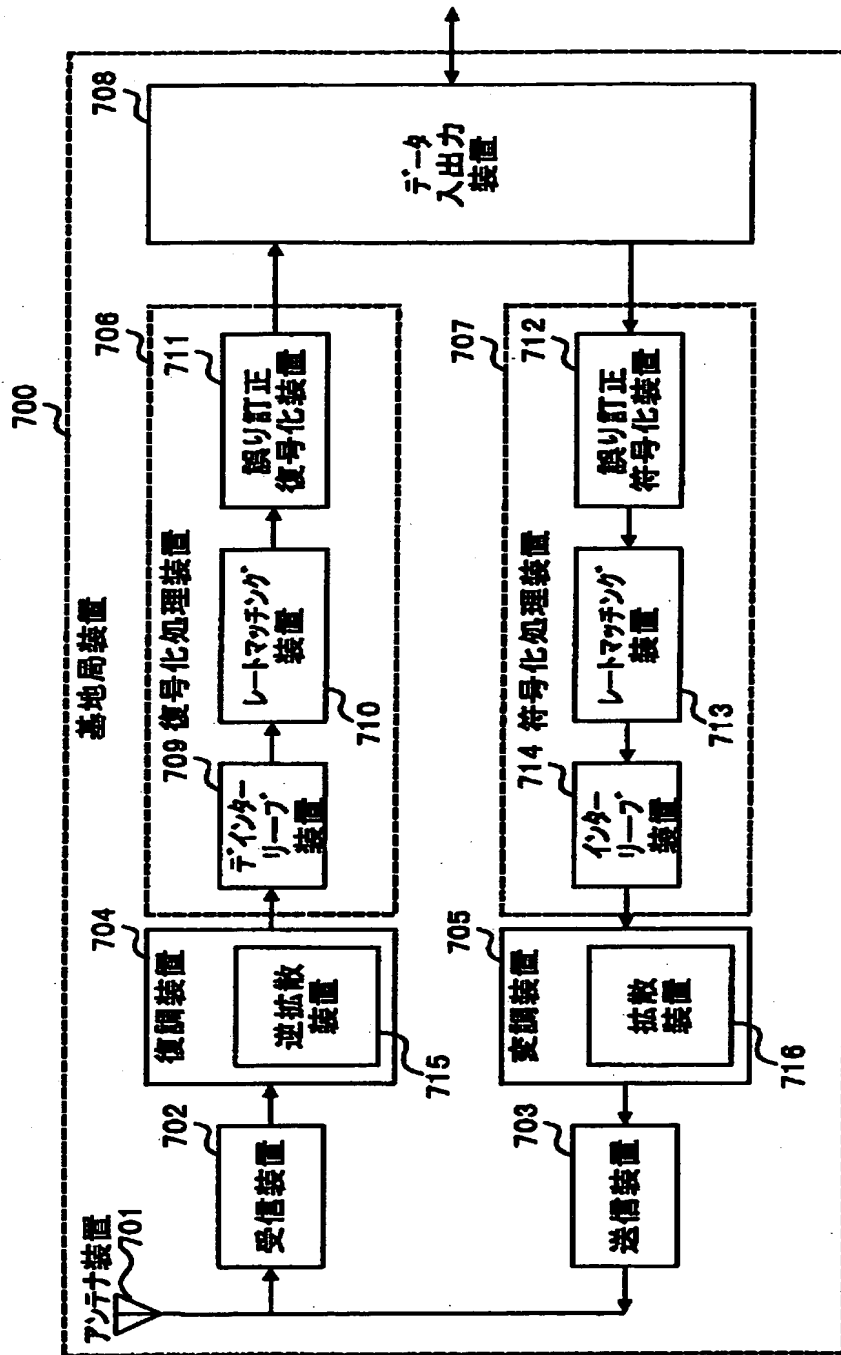
【図 5】



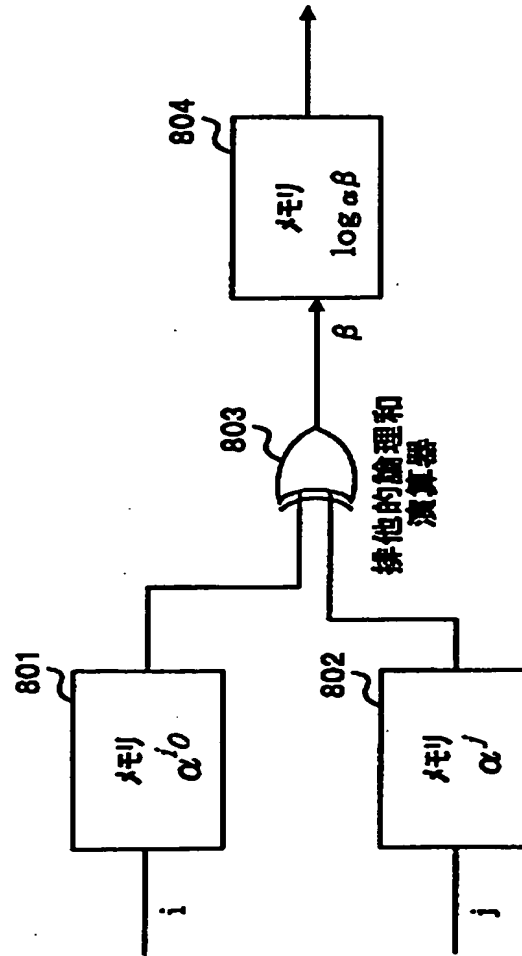
【図 6】



【図 7】



【图 8】



【書類名】 要約書

【要約】

【課題】 誤り訂正符号に対して誤り訂正能力を上げるGFインターリーブを実現すること。

【解決手段】 カウンタ制御部101で、行列2次元配列で表されるブロックインターリーブに対して、2次元配列の行番号と列番号をインクリメントして、読み出しアドレス値として出力し、ビット反転装置102で、その読み出しアドレス値を入力としてビット反転を行い、列変換装置103で、そのビット反転出力値とカウンタ制御部101からの列番号に対応したアドレス値を列変換値として出力し、シフトレジスタ104で、ビット反転装置102の出力値をビットシフトしてアドレスオフセット値として出力し、加算器105で、そのアドレスオフセット値と列交換値とを加算し、大小比較部106で、その加算値をインターリーブサイズと比較し、インターリーブサイズ内のデータをアドレス値として出力する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社

This Page Blank (uspto)

This Page Blank (uspto)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)